

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-115441

(43)Date of publication of application : 16.04.1992

(51)Int.Cl.

H01J 21/20
H01J 1/30
H01J 19/24
H01J 21/06
// H01L 29/66

(21)Application number : 02-234087

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 04.09.1990

(72)Inventor : OKADA HIROYUKI

(54) INTEGRATED CIRCUIT HAVING VACUUM CHANNEL

(57)Abstract:

PURPOSE: To realize a very large-scale integration with a semiconductor integrated circuit combining high speed operation in a vacuum tube by integrating an enclosure which maintains vacuum and houses a series of electrodes, elements and the like.

CONSTITUTION: A capacitor 3, a resistor 4, a wire 5, and a control element 1 are positioned in an enclosure which is formed with an upper substrate 71, a lower substrate 72 and a spacer 8, and the inside is exhausted. Then, a part of the wire 5 which consists of a thin conductor film formed on the substrate 71 or the substrate 72 is introduced to the outside of the enclosure through the spacer 8 and connected to an electrode pad 6. The capacitor 3 is formed by sandwiching a dielectric body between a pair of the wires 5, and the wire 5 on the substrate 71 and the wire 5 on the substrate 72 are connected by means of a bump 2. Thus, high integration can be realized and an electron path is kept in vacuum for a specific element so that electron speed can be accelerated.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-115441

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月16日

H 01 J 21/20
1/30
19/24
21/06
// H 01 L 29/66

C

7354-5E
9058-5E
7354-5E
7354-5E
7735-4M

審査請求 未請求 請求項の数 5 (全10頁)

⑮ 発明の名称 真空チャネルを有する集積回路

⑯ 特 願 平2-234087

⑰ 出 願 平2(1990)9月4日

⑱ 発 明 者 岡 田 裕 之 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社
横浜製作所内

⑲ 出 願 人 住友電気工業株式会社 大阪府大阪市中央区北浜4丁目5番33号

⑳ 代 理 人 弁理士 越 場 隆

明細書

1. 発明の名称

真空チャネルを有する集積回路

2. 特許請求の範囲

(1) 第1の基板と、前記第1の基板上に気密に密着して形成された閉じた水平断面形状を有する厚さの均一な第1のスペーサと、前記第1のスペーサ上に気密に密着した第2の基板とにより画成され、内部を真空とされた外囲器と、

前記外囲器内で、前記第1の基板上に形成されたカソードと、前記カソードに向かい合うように且つ前記カソードから離れて位置するように、前記第1および第2の基板のいずれかに支持されたアノードとを含み、前記カソードから真空中の流路を介して前記アノードへ電子が移動するように構成されている素子と

を備えることを特徴とする真空チャネルを有する集積回路。

(2) 請求項1に記載された集積回路であって、前記カソードから前記アノードへの電子の移動量を制御するための制御電極が、前記カソードと前記アノードとの間に位置するように、前記第1および第2の基板のいずれかに支持されていることを特徴とする集積回路。

(3) 請求項1または請求項2に記載された集積回路であって、前記素子のアノードが、前記第2の基板上に形成されていることを特徴とする集積回路。

(4) 請求項1から請求項3までのいずれか1項に記載された集積回路であって、

前記第1の基板、前記第1のスペーサおよび前記第2の基板によって画成され、内部を真空とされた第1の外囲器と、

前記第1および第2の基板のうちの一方と、該一方の基板上に気密に密着して形成された閉じた水平断面形状を有する厚さの均一な第2のスペー

サと、前記第2のスペーサ上に気密に密着した第3の基板とにより画成され、内部を真空とされた第2の外囲器とを備え、

更に、前記第1の外囲器と前記第2の外囲器とを連通する貫通孔が、前記第1の外囲器と前記第2の外囲器とで共用される前記基板に設けられ、前記第1の外囲器の内部に收容された素子と、前記第2の外囲器の内部に收容された素子とが、前記貫通孔に挿通された配線により接続されていることを特徴とする集積回路。

(5) 請求項1から請求項3までのいずれか1項に記載された集積回路であって、

前記第1の基板、前記第1のスペーサおよび前記第2の基板によって画成され、内部を真空とされた第1の外囲器と、

前記第1および第2の基板のうちの一方と、該一方の基板上に気密に密着して形成された閉じた水平断面形状を有する厚さの均一な第2のスペーサと、前記第2のスペーサ上に気密に密着した第

3の基板とにより画成され、内部を真空とされた第2の外囲器とを備え、

更に、前記第1の外囲器と前記第2の外囲器とを連通する貫通孔が、前記第1の外囲器と前記第2の外囲器とで共用される前記基板に設けられ、前記第1の外囲器の内部に形成されたアノードと、前記第2の外囲器の内部に形成されたカソードとを含んでひとつの素子が形成され、前記貫通孔を通して前記カソードから前記アノードへの電子の流路が形成されていることを特徴とする集積回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は、集積回路化された真空管に関する。より詳細には、本発明は、基板上に画成された真空領域内に配置された陽極および陰極を含む新規な集積回路素子の構成に関する。

従来の技術

半導体デバイスを発達させた技術、特にその集

積度と動作速度を飛躍的に向上させた技術に、フォトリソグラフィ技術が挙げられる。この技術は、高分子感光膜を用いた微細パターン形成技術であり、現在では $0.4\mu\text{m}$ 程度の微細パターンを量産へ適用することも可能となっている。

このような微細加工技術によって作製された半導体デバイスでは、チャンネル（電子の流路）が極限まで短縮されており、FETやバイポーラトランジスタ等の超高速素子について動作速度を論じる場合には飽和速度の制限が問題になるまでに至っている。そこで、半導体デバイスの分野では、動作速度の限界を打破すべく、バリスティック伝導を活用したヘテロ接合バイポーラトランジスタ等が開発されている。

ところで、半導体デバイスにおける動作速度の改善は専ら電子の走行距離を短縮することによって実現されている。しかしながら、半導体中の電子速度は、真空中の電子速度、即ち光速程度には至っていない。そこで、電子速度を改善することにより、デバイスの動作速度を更に改善する可能

性がある。

一方、半導体デバイスの発達以前から使用されていた所謂真空管は、エーコン管、板封じ管、灯台管、モルトン管等の種々の構成により高周波動作に対応し、高速動作や大電力制御等を達成してきた。

第5図は、マイクロ波管として代表的な、所謂灯台管の典型的な構成を示す断面図である。

同図に示すように、この真空管は、ステム108上で、ガラス封止部材107、陰極引出部材105および格子引出部材102aによって画成された外囲器内に、陽極電極103、格子102および陰極電極101を縦に配列して構成されている。陰極電極101は、ヒータ104を内蔵しており、また、陰極電極101、格子102および陽極電極103は、それぞれ引出部材105、102a、106によって外囲器の外部に接続することができるよう構成されている。

以上のように構成された真空管において、ヒータ104によって陰極電極101が加熱されると、陰極電極101から熱電子が陽極電極103に向かって

放出される。このとき、格子102に印加する電圧により、陰極電極101から陽極電極103に流入する電子の量を制御することができる。

ところで、上述のようなマイクロ波用の灯台管の場合、陰極電極101と格子102との間隔は50～100 μm 程度であり、格子102と陽極電極103との間隔は300 μm 程度である。このような微小な間隔は、機械的加工技術の限界に近く、これ以上の細密化は困難であると共に、均一性の向上は殆ど望めない。

また、電子走行時間は陰極電極と陽極電極との間隔に比例して変化し、且つ陽極電圧の平方根分の1に比例して変化する。従って、陰極－陽極間隔の大きい従来の真空管では、集積化された半導体デバイスのように高速な動作を実現することはできない。このように、真空管は、その特性が機械的工作精度に依存しており、集積化を実現した半導体デバイスによって利用分野を交代されつつある。

ところが、真空管においては、電子の流路であ

るチャネルは正しく真空であり、半導体デバイスの製造技術を適用することにより、半導体デバイスよりも優れた性能を実現し得る可能性がある。

以上のような背景のもと、“真空管の微細化”を基本概念としたバキュームマイクロエレクトロニクスと呼ばれる分野が確立されつつあり、新規な研究分野として注目を集めている。

発明が解決しようとする課題

上述のように、半導体集積化技術で培われてきた微細加工技術と、電子の光速状態をそのまま実現し得る真空管技術とのインテグレーションにより、優れた特性を有する新規なデバイスを開発することが切望されているが、そのようなデバイスに相応しい構造やその構造を実現するための製造方法についての具体的な提案は未だなされていない。

そこで、本発明は、半導体デバイスの製造技術を応用して作製することができる、真空チャネルを有した素子を含む全く新規な集積回路の構成を

提供することをその目的としている。

課題を解決するための手段

即ち、本発明に従うと、第1の基板と、第1の基板と、前記第1の基板上に気密に密着して形成された閉じた水平断面形状を有する厚さの均一な第1のスペーサと、前記第1のスペーサ上に気密に密着した第2の基板とにより画成され、内部を真空とされた外囲器と、前記外囲器内で、前記第1の基板上に形成されたカソードと、前記カソードに向かい合うように且つ前記カソードから離れて位置するように、前記第1および第2の基板のいずれかに支持されたアノードとを含み、前記カソードから真空中の流路を介して前記アノードへ電子が移動するように構成されている素子とを備えることを特徴とする真空チャネルを有する集積回路が提供される。

また、上記本発明に係る集積回路において、前記カソードから前記アノードへの電子の移動量を制御するための制御電極が、前記カソードと前記

アノードとの間に位置するように、前記第1および第2の基板のいずれかに支持されていることを特徴とする集積回路が提供される。

作用

真空チャネルを有する微細構造のデバイスを作製する場合、以下のような点が課題となる。

まず第一に、チャネルを真空内に保持するための物理的な構造が必要になるが、通常の半導体デバイスの製造技術には、このような構造物を作製する方法がない。

第二に、電極構造だけではなく、周辺の配線技術についても、従来の半導体素子とは異なる技術が必要になるが、それについては何ら確立された技術がない。

第三に、真空チャネルに電子を励起する陰極として、熱陰極ではなく冷陰極を用いることになるので、充分な量の電子が真空中に励起されるような構成とする必要がある。励起される電子が不足した場合は、素子動作に重要な特性のひとつであ

る相互コンダクタンスが充分に取れず、高速動作が実現できない。

以上のような課題に対して、本発明に係る集積回路はそれぞれ以下のように対応している。

即ち、まず第1の課題に対して、本発明に係る集積回路においては、各種の素子および配線により構成された回路が、下側および上側の1対の基板と、この基板を気密に連結する閉断面を有するスペーサとによって画成された外囲器の内部に收容されている。従って、この外囲器内が排気されていれば、回路および配線は真空内に保持される。

尚、外囲器内に收容される素子および配線は、外囲器を封止する前に、予め基板上に作製することができる。この作製には、公知の集積回路製造技術が適用できる。

また、特に、電子の流路を真空とする素子については、その電子の流路の一端が下側基板に、他端が上側基板に形成されるように構成することができる。このような素子構造は、前記した外囲器が組立てられて始めてひとつの素子として完成す

ることになるが、複雑になりがちな電極構成を容易に実現し得る構成である。

第2の課題に対して、本発明に係る集積回路では、外囲器内および外囲器外においては、それぞれ公知の配線技術を適用することができる。また、外囲器内と外囲器外とを接続する配線も、公知の配線技術を適用することができる。更に、本発明に係る集積回路においては、上側基板に形成された配線または素子と、下側基板に形成された配線または素子とを接続する必要がある場合がある。このような場合、具体的に後述するようなパンプを介して接続する方法の他、導電性膜を用いた接着方式や電極接触方式等が考えられる。

第3の課題に対して、本発明に係る集積回路では、基板上に形成された立体構造を有する構造物の上に陰極となる金属膜を形成すると共に、複数のまたは長尺の実効陰極を形成することによって対応している。このような構成とすることによって実効的な陰極が拡大され、相互コンダクタンスを稼ぐことができる。

このように、本発明によれば、電子の流路を真空とした素子を含む全く新規な集積回路を実現することができる。このような集積回路は、半導体集積回路と同様に高い集積度を実現し得ると共に、特定の素子においては電子の流路が真空に保持されているので、電子本来の高速な走行速度が実現され、極めて高い動作速度を実現し得るものである。

尚、本発明に係る集積回路は、1対の基板とこれらの基板を気密に結合するスペーサとによって画成された外囲器内に種々の素子を收容した構造を基本ユニットとするが、更に、このような基本ユニットを複数積層した構造とし、各ユニットの外囲器を連通する貫通孔を特定の基板に設けることにより、更に複雑且つ大規模な集積回路を実現することができる。このような構成を採った場合、複数のユニットを連通する貫通孔は、配線を挿通するためのスルーホールとして使用してもよいし、カソードからアノードへ移動する電子の流路として使用してもよい。

以下、図面を参照して本発明をより具体的に説明するが、以下の開示は本発明の一実施例に過ぎず、本発明の技術的範囲を何ら限定するものではない。

実施例1

第1図は、本発明に従って構成された真空チャネルを有する集積回路の具体例を示す図である。

同図に示された集積回路は、上側および下側の1対の基板71および72とスペーサ8とによって画成された外囲器内に、容量3、抵抗4および配線5と制御素子1とを配置して構成されており、外囲器内は排気されている。また、配線5の一部は、スペーサ8を貫通して外囲器の外に導かれ、電極パッド6に接続されている。尚、実際には、外囲器を構成するスペーサ8は、回路部分を包囲して閉じた水平断面形状を有している。

容量3、抵抗4および配線5は、公知の集積回路製造技術により形成されている。即ち、配線5は、基板71または72上に形成された導体薄膜によ

り形成されている。また、抵抗は、配線5の一部を、抵抗の大きな材料で置き換えることにより形成されている。更に、容量3は、1対の配線5の間に誘電体を挟むことにより形成されている。上側基板71上の配線5と、下側基板72上の配線5とは、パンプ2により接続されている。尚、第1図には図示されていないが、インダクタ（例えばスパイラルインダクタ）も、導体線路を適切な形状にパターンニングすることで形成することができる。また、この集積回路において取り扱う信号周波数が高い場合は、マイクロ波回路等に見られるように、インピーダンス整合に留意する必要がある。

以上のような集積回路を構成する基板71、72の材料としては、熱伝導性に優れたアルミナ、石英等を有利なものとして例示することができる。特に、後述するように、基板71上に形成された電極と基板72上に形成された電極との間で特定のライメントをとる必要があることを考慮すると、透明基板を使用することにより作製が容易となる。

上側および下側基板71、72と共に外囲器を構成

するスペーサ8は、第1図においては集積回路の周辺部にのみ配置されているが、両基板71、72間のギャップを均一にするために、集積回路領域の内部にも、柱状のスペーサを設けることも好ましい。また、外囲器としての気密性と、パンプ2に作用する力を均一にするという観点から、その厚さのばらつきが少なく、表面性状が清浄であることが好ましい。尚、有効な微細真空管構造から考えると、 $2\mu\text{m}$ ~ $20\mu\text{m}$ 程度が典型的なスペーサ8の厚さとなる。

第1図に示すように、この実施例では、陰極電極12を形成する金属層を延長してそのまま配線5としているが、実際には、陰極格子間の容量低減の観点から、抵抗が問題にならない程度に配線5を細くすることが好ましい。

また、第1図に示した集積回路では、各配線5および電極が各基板表面上に形成されているが、フォトリソを用いて各基板に溝を形成し、スペーサリフトオフ法により基板と段差のない配線を形成することも可能である。このような場合、

第1図中に示した回路のように、配線5の取り出しに際してスペーサ8を貫通する必要がない。尚、スペーサ8を金属材料により形成した場合は、スペーサ8と配線5との間を絶縁する必要がある。

以上説明した本実施例に係る集積回路は、スペーサを介して1対の基板を貼り合わせることで形成された外囲器内に形成されているが、更に、複数の基板をスペーサを介して積層し、形成された複数の外囲器をバイアホール等によって連通することにより、更に集積度の高い回路を実現することもできる。尚、バイアホールの形成は、使用した基板材料等により、ドライエッチングとウェットエッチングとを適宜選択することができる。

第2図(a)は、第1図に示した集積回路で使用されている制御素子1を拡大して示す図である。

同図に示すように、この制御素子1は、上側基板71の下面に配置された陽極15と、下側基板72上に搭載された格子電極14および陰極電極12とから主に構成されている。

ここで、陽極電極15は、上側基板71の下面に形

成された金属層により構成されている。また、陰極電極12は、下側基板72上で4角錐状に隆起した複数の部分を備える構造物11の表面に形成された金属層により形成されている。このような点状陰極電極12を複数設けることにより、この素子が取り扱うことができる電流量を増加することができる。また、格子電極14は、絶縁体で形成された支持部材13によって下側基板72から離隔して配置されており、陰極電極12の隆起部の先端を包囲して形成された複数の貫通孔を備えている。以上のように構成することにより、実効的な陰極が複数形成される。

第2図(b)は、第2図(a)に示した制御素子の他の実施態様を示す図である。

同図に示すように、この素子は、主に陰極電極12aと格子電極14aの形状に特徴がある。即ち、この実施態様では、構造物11aは長手方向に連続した峰状の隆起部を形成しており、構造物11a上に形成された金属層である陰極電極12aも、連続した峰状の突起を有している。また、格子電極14

aは、陰極電極12aの連続した峰状隆起を挟むように形成された1対の長尺金属層により形成されている。従って、この素子では、実効的な陰極は、長尺の連続した形状となる。

尚、上記素子において、陰極電極12、12a、格子電極14、14aおよび陽極15の材料としては、Mo、W等を好ましいものとして例示することができる。また、必要に応じて、陰極電極12の表面に酸化膜を形成することもできる。

一方、構造物11または11aを基板上に改めて形成する場合は、好ましい材料としてSiO₂、SiN等の絶縁物の他、金属を使用することもできる。これらの材料は、テーパーエッチングにより微細加工が可能であり、例えば、パターニングに際して露光条件やベーク温度を適切に制御することによりレジスト層を台形状に形成しておき、スペーサ効果を持たせながらエッチングを行うことにより、第2図(a)および(b)に示したような隆起部を有する構造物11、11aを形成することができる。また、基板を回転しながら角度スペーサ、角度EC

R-CVD、角度蒸着等により隆起した構造物を形成することも可能である。更に、例えばSi基板を用いた場合には、適切な結晶面およびパターン方位を選択した上で、KOH：イソプロピルアルコール、エチレンジアミン：ヒロカテコール等によりエッチングすることにより、隆起した構造物を形成することができる。この場合、構造物11または11aの形状の制御はより精密にできる。但し、構造物11または11aの形成方法が、これらの方法に限定されるわけではないことは勿論である。

尚、本実施例において説明した素子は、単一の格子電極を有する、言わば3極管構造であるが、第2図(c)～(f)に示した工程を繰り返すことにより、遮蔽格子、抑制格子等に相当する格子電極を更に形成し、4極管構造や五極管構造を実現することもできる。

また、ひとつの外圍器内に複数の制御素子を形成する場合、一方の基板に第1の素子の陰極電極と第2の素子の陽極とを形成し、他方の基板に第1の素子の陽極電極と第2の素子の陰極電極を形

成する、といったレイアウトとすることにより、上側基板と下側基板との配線の相互接続数を低減し得る。

作製例

以下に、上述のような真空チャネルを有する制御素子の作製手順について説明する。第3図(a)～(h)は、その製作手順を工程毎に示す図である。

まず、第3図(a)に示すように、下側基板72上に構造物11を形成する。具体的な形成方法は、既に説明した各種の方法から適宜選択することができる。

続いて、第3図(b)に示すように、構造物11上に陰極電極12となる金属膜を形成する。次に、第3図(c)に示すように、陰極電極12の側方を挟むように、絶縁物で形成された1対の支持部材13を形成する。ここで、支持部材13の側面は、多少傾斜を持たせてテーパ状に形成すると、格子電極に対する配線を形成する際に有利である。

次に、第3図(d)に示すように、陰極電極12およ

び支持部材13を含む基板全体を覆うように、選択的に除去可能なポリイミド等の高分子材料膜9を塗布により形成する。続いて、この高分子材料膜9とエッチングレートが等しくなるようなレジストを塗布してからドライエッチングを行い、支持部材13の上面が露出するように高分子材料膜9の隆起部分を除去し、第3図(e)に示すように表面を平坦化する。

次に、第3図(f)に示すように、陰極電極12側に張り出したオーバハングを有する1対の格子電極13を支持部材13上に形成した後、第3図(g)に示すように、高分子材料膜9を除去する。以上のようにして下側基板72上に搭載される電極構造が完成する。

尚、上述の一連のプロセスは非自己整合プロセスであるが、熱プロセスが無ければ0.1～0.2μm(3σ)程度のアライメント精度は既に実現されている。また、将来的にステップの位置アライメント精度で0.05μm以下が実用化されつつある点を考慮すると実質的な問題は少ないと考えられる。

最後に、第3図(n)に示すように、陰極電極11および格子電極14を搭載した下側基板72と、陽極電極15を下面に搭載した上側基板71とを、スペーサ8を介して接合することにより、この素子が完成する。尚、上側基板71上への陽極電極15の形成は、公知の方法で可能なので説明は省略する。また、第3図(n)では、上側基板71には、容量3も搭載されている。

基板71、72とスペーサ8との接合に際して、これらの部材により形成される外囲器内を真空とする工程が必要であるが、これは、接合工程を真空中で実施する方法の他、何れかの基板にホールを設け、接合後に内部を排気してからホールを封止する方法も選択できる。尚、外囲器の封止に先立って、電極密着のための加熱処理と脱ガス処理とを行うことが好ましい。

上記外囲器を構成するスペーサ8の材料としては、高分子材料薄膜、金属膜、スパッタリング法により堆積した石英層等の絶縁物等を例示することができるが、経時変化を含む脱ガスおよびリー

ク等について充分吟味された材料を選択することが重要である。

上述のような、上側基板71と下側基板72との接合に際して、第3図(n)に示すように、上側基板71上の配線と下側基板72上の配線とを接続する必要がある。

ここでは、既に第1図に示したように、パンプを介して接続する方法を採用している。即ち、パンプ2は、パンプを形成すべき配線5上にアンダーパンプメタルを形成した後フォトレジストを除去し、必要に応じてアンダーパンプメタルのエッチングを行うことにより形成される。アンダーパンプメタルの材料としては、Cr/Cu、Cr/Ni、Ti/W、Ti/Pt、Ni/Cu等を、またパンプ2としてはAu、Cu、Pb/Sn等を例示することができる。

尚、本作製例では、上側基板71上に形成された配線と下側基板72上に形成された配線との接続は、上記したパンプを介する接続方法の他に、導電性膜を用いた接着方式や電極接触方式等が考えられる。殊に、後者の方法は、将来基板間のギャップ

が狭くなれば有利な方法であり、接触電極を複合材料として接触後に共晶化させる方法が利用できる可能性がある。更に、全く異なる接続方法として、上側基板71の配線5と下側基板72の配線5とをそれぞれ後述する外囲器の外側に取出し、外囲器の外で接続する方法も考えられる。但し、この方法では、上記した3極構造の場合でも外部配線数が $2n$ (n は素子数)となり集積化する上で不利である。また、動作速度等の点でも不利であることから採用は勧められない。

実施例2

第4図(a)および(b)は、本発明に係る集積回路において使用することができる制御素子であって、特に1枚の基板上に全ての構成要素を搭載して構成した場合の具体例を示す図である。

第4図(a)に示す制御素子は、基板72上の構造物11を覆うように形成された陰極電極12と、陰極電極12の周囲に形成された第1支持部材13と、第1支持部材13上に搭載された格子電極14と、格子電

極14上に形成された第2支持部材16と、第2支持部材16上に形成された陽極電極15とから構成されており、実質的に第2図に示した制御素子と同じ構成を有している。尚、この制御素子においては、第1および第2の支持部材13、16と陽極電極15とによって外囲器を構成してもよいし、また、この制御素子を含む回路全体を大きな外囲器の内部に収容してもよい。

第4図(b)に示す制御素子は、言わばプレーナ型の3極管構造を有している。即ち、この実施例においては、1枚の基板72上に、互いに平行に形成された陰極電極12、格子電極14および陽極電極15から制御素子が構成されている。ここでは、陰極12および陽極15をスペーサの一部とすることによって容易に外囲器が構成できる。また、各電極の形成も極めて容易である。

発明の効果

以上説明したように、本発明によれば、電子の走行速度が高速に近い真空チャネルを有する全く

新規な集積回路が提供される。

即ち、本発明によれば、真空を維持する外囲器と、その外囲器の内部に収容される一連の電極、素子等を、リソグラフィ技術により集積化して形成することができる。従って、本発明によれば、従来の半導体集積回路の利点と、真空管の利点とを併せもった集積回路が実現できる。

4. 図面の簡単な説明

第1図は、本発明に係る集積回路の構成例を示す図であり、

第2図(a)および(b)は、第1図に示した集積回路において使用される真空チャネルを有する制御素子の構成例を示す図であり、

第3図(a)~(b)は、第2図に示した制御素子の作製過程を工程毎に示す図であり、

第4図(a)および(b)は、本発明に係る真空チャネルを有する制御素子の他の構成例を示す図であり、

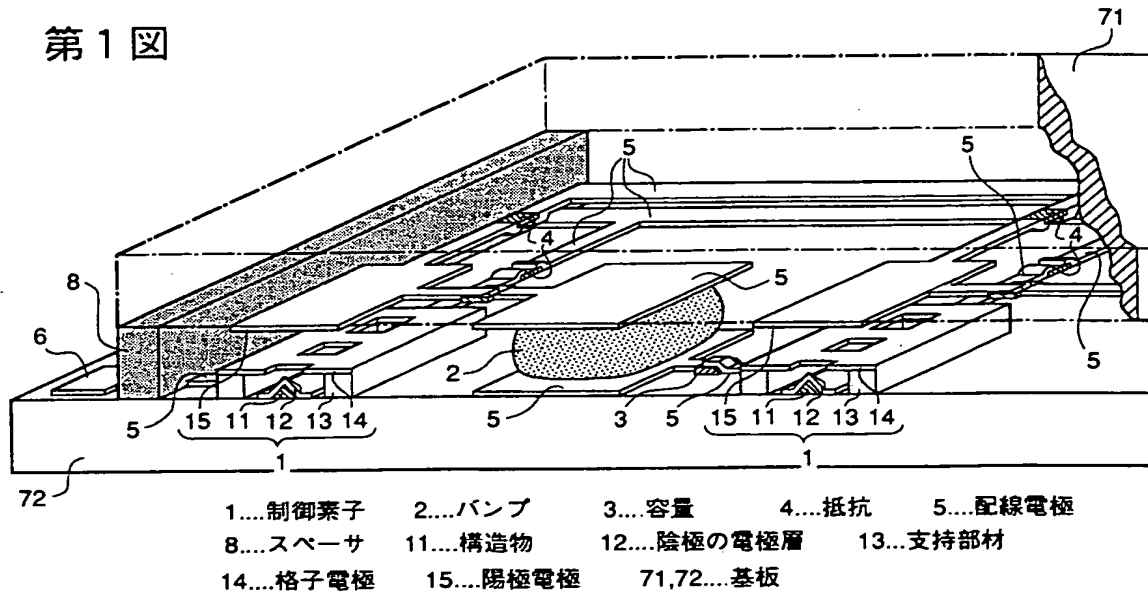
第5図は、灯台管と呼ばれる公知のマイクロ波管の構造を示す断面図である。

〔主な参照番号〕

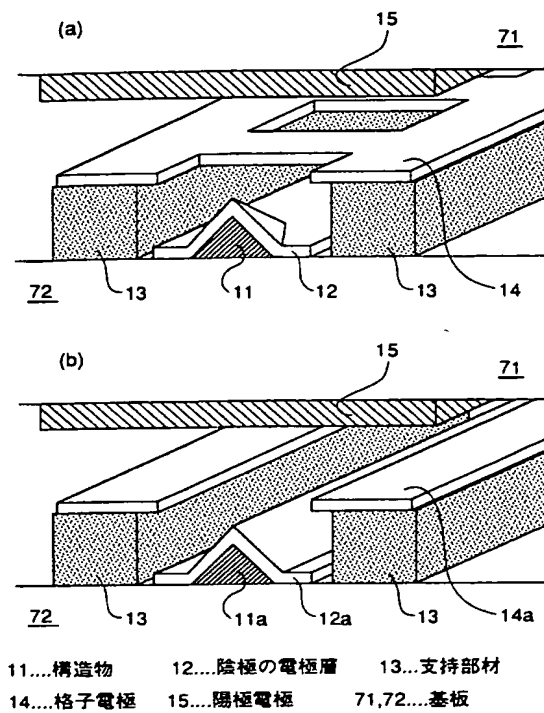
- | | |
|----------------|--------------|
| 1・・・制御素子、 | 2・・・ポンプ、 |
| 3・・・容量、 | 4・・・抵抗、 |
| 5・・・配線電極、 | 6・・・電極パッド、 |
| 8・・・スペーサ、 | 9・・・高分子材料膜、 |
| 11・・・構造物、 | 12・・・陰極の電極層、 |
| 13、16・・・支持部材、 | |
| 14・・・格子電極、 | 15・・・陽極電極、 |
| 71、72・・・基板、 | |
| 101・・・陰極電極、 | 102・・・格子電極、 |
| 102a・・・格子引出部材、 | |
| 103・・・陽極電極、 | 104・・・ヒータ、 |
| 105・・・陰極引出部材、 | |
| 106・・・陽極引出部材、 | |
| 107・・・ガラス封止部材、 | |
| 108・・・システム | |

特許出願人 住友電気工業株式会社
代理人 弁理士 越 場 隆

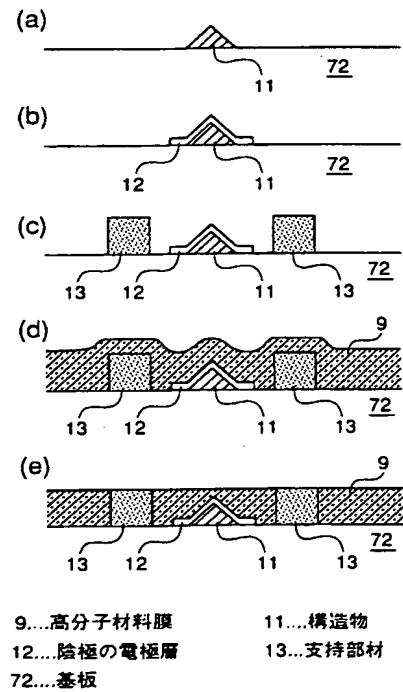
第1図



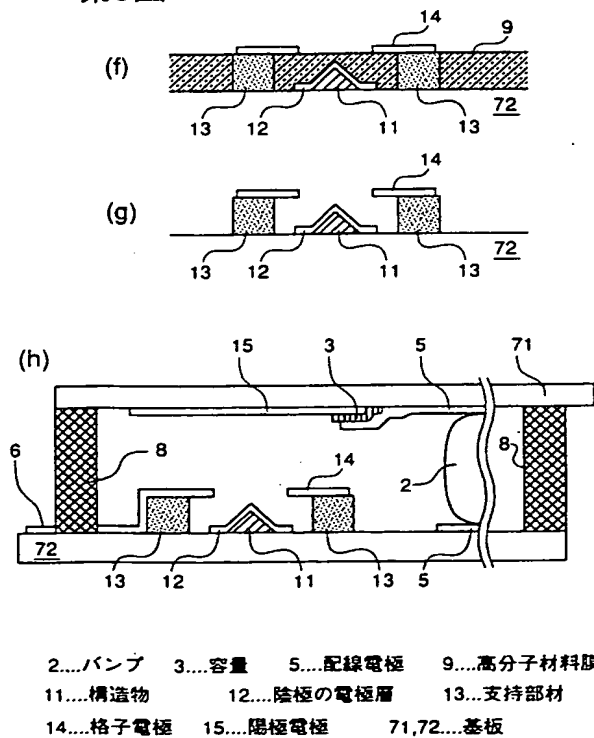
第2図



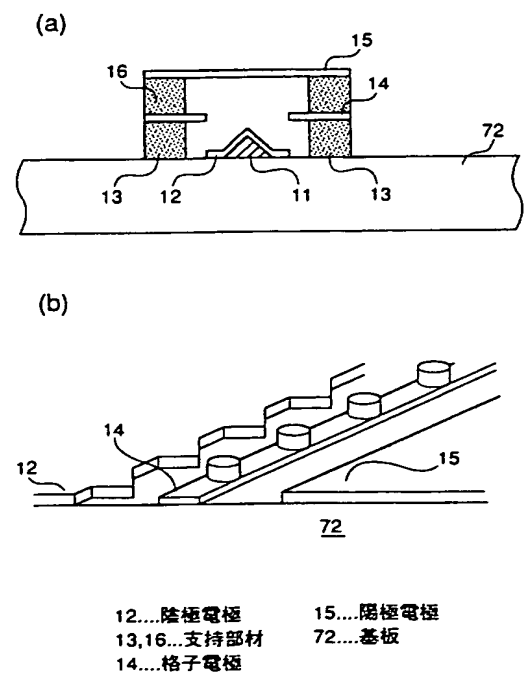
第3図



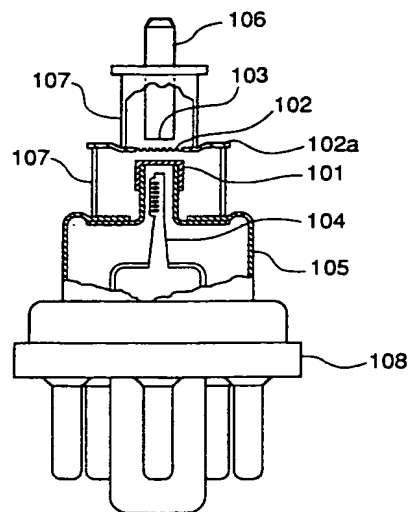
第3図



第4図



第5図



- | | | |
|----------------|---------------|---------------|
| 101....陰極電極 | 102....格子電極 | 103....陽極電極 |
| 104....ヒータ | 105....陰極引出部材 | 106....陽極引出部材 |
| 107....ガラス封止部材 | 108....ステム | |